

技术纵横 technical feature

非隔离式开关电源的PCB布局考虑

良好的PCB布局设计可优化电源效率，减缓热应力；更重要的是，它最大限度地减小了噪声，以及走线与元件之间的相互作用。要实现非隔离开关电源的正确布局设计，务必牢记这些设计要素。

作者：Henry J Zhang，Linear公司

关键字：开关电源，PCB布局，无源元件，Linear

一个良好的布局设计可优化效率，减缓热应力，并尽量减小走线与元件之间的噪声与作用。这一切都源于设计人员对电源中电流传导路径以及信号流的理解。

当一块原型电源板首次加电时，最好的情况是它不仅能工作，而且还安静、发热低。然而，这种情况并不多见。

开关电源的一个常见问题是“不稳定”的开关波形。有些时候，波形抖动处于声波段，磁性元件会产生出音频噪声。如果问题出在印刷电路板的布局上，要找出原因可能会很困难。因此，开关电源设计初期的正确PCB布局就非常关键。

电源设计者要很好地理解技术细节，以及最终产品的功能需求。因此，从电路板设计项目一开始，电源设计者应就关键性电源布局，与PCB布局设计人员展开密切合作。

一个好的布局设计可优化电源效率，减缓热应力；更重要的是，它最大限度地减小了噪声，以及走线与元件之间的相互作用。为实现这些目标，设计者必须了解开关电源内部的电流传导路径以及信号流。要实现非隔离开关电源的正确布局设计，务必牢记以下这些设计要素。

布局规划

对一块大电路板上的嵌入dc/dc电源，要获得最佳的电压调节、负载瞬态响应和系统效率，就要使电源输出靠近负载器件，尽量减少PCB走线上的互连阻抗和传导压降。确保有良好的空气流，限制热应力；如果能采用强

制气冷措施，则要将电源靠近风扇位置。

另外，大型无源元件(如电感和电解电容)均不得阻挡气流通过低矮的表面封装半导体元件，如功率MOS-FET或PWM控制器。为防止开关噪声干扰到系统中的模拟信号，应尽可能避免在电源下方布放敏感信号线；否则，就需要在电源层和小信号层之间放置一个内部接地层，用做屏蔽。

关键是要在系统早期设计和规划阶段，就筹划好电源的位置，以及对电路板空间的需求。有时设计者会无视这种忠告，而把关注点放在大型系统板上那些更“重要”或“让人兴奋”的电路。电源管理被看作事后工作，随便把电源放在电路板上的多余空间上，这种做法对高效率而可靠的电源设计十分不利。

对于多层板，很好的方法是在大电流的功率元件层与敏感的小信号走线层之间布放直流地或直流输入/输出电压层。地层或直流电压层提供了屏蔽小信号走线的交流地，使其免受高噪声功率走线和功率元件的干扰。

作为一般规则，多层PCB板的接地层或直流电压层均不应被分隔开。如果这种分隔不可避免，就要尽量减少这些层上走线的数量和长度，并且走线的布放

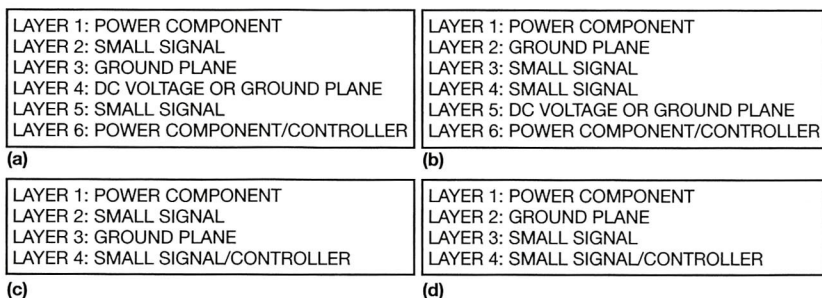


图1，六层(a)和四层(c)开关电源PCB板的不良结构，小信号层夹在了大电流层和地层之间。较好的六层(b)和四层(d)设计中，地层用于屏蔽小信号层。

要与大电流保持相同的方向，使影响最小化。

图1a和1c分别是六层和四层开关电源PCB的不良层结构。这些结构将小信号层夹在大电流功率层和地层之间，因此增加了大电流/电压功率层与模拟小信号层之间耦合的电容噪声。

图中的1b和1d则分别是六层和四层PCB设计的良好结构，有助于最大限度减少层间耦合噪声，地层用于屏蔽小信号层。要点是：一定要挨着外侧功率级层放一个接地层，外部大电流的功率层要使用厚铜箔，尽量减少PCB传导损耗和热阻。

功率级的布局

开关电源电路可以分为功率级电路和小信号控制电路两部分。功率级电路包含用于传输大电流的元件，一般情况下，要首先布放这些元件，然后在布局的一些特定点上布放小信号控制电路。

大电流走线应短而宽，尽量减少PCB的电感、电阻和压降。对于那些有高di/dt脉冲电流的走线，这方面尤其重要。

图2给出了一个同步降压转换器中的连续电流路径和脉冲电流路径，实线表示连续电流路径，虚线代表脉冲(开关)电流路径。脉冲电流路径包括连接到下列元件上的走线：输入去耦陶瓷电容 C_{HF} ；上部控制FET Q_T ；以及下部同步FET Q_B ，还有选接的并联肖特基二极管。

图3a给出了高di/dt电流路径中的PCB寄生电感。由于存在寄生电感，因此脉冲电流路径不仅会辐射磁场，而且会在PCB走线和MOSFET上产生大的电压振铃和尖刺。为尽量减小PCB电感，脉冲电流回路(所谓热回路)布放时要有最小的圆周，其走线要短而宽。

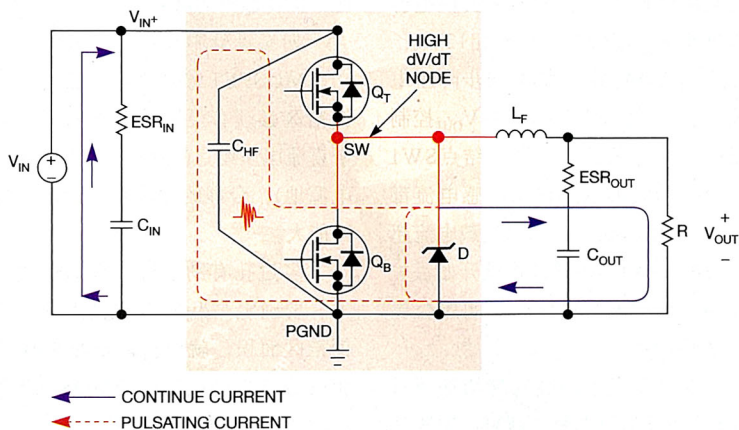


图2，实线表示一个同步降压转换器中的连续电流路径；虚线表示脉冲(开关)电流路径。

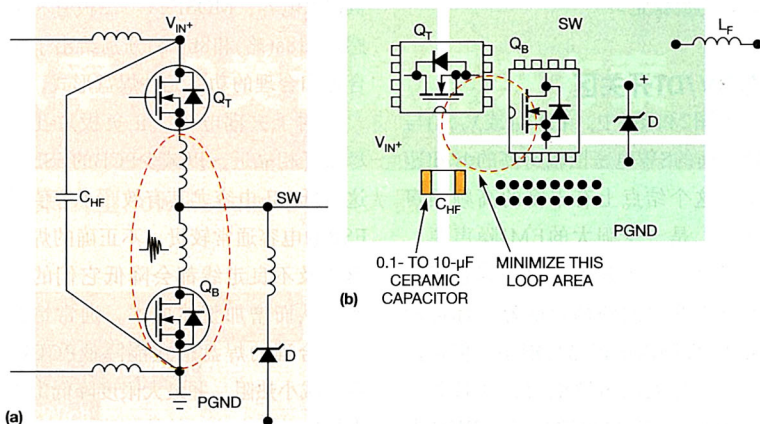


图3，降压转换器的高di/dt回路区中的寄生电感(a)在PCB走线上生成大电压振铃与尖刺，建议的布局方法(b)尽量减小了热回路面积。

高频去耦电容 C_{HF} 应为 $0.1\mu F \sim 10\mu F$ ，X5R或X7R电介质的陶瓷电容，它有极低的ESL(有效串联电感)和ESR(等效串联电阻)。较大的电容电介质(如Y5V)可能使电容值在不同电压和温度下有大的下降，因此不是 C_{HF} 的最佳材料。

图3b为降压转换器中的关键脉冲电流回路提供了一个布局例子。为了限制电阻压降和过孔数量，功率元件都布放在电路板的同一面，功率走线也都布在同一层上。当需要将某根电源线走到其它层时，要

选择在连续电流路径中的一根走线。当用过孔连接大电流回路中的PCB层时，要使用多个过孔，尽量减小阻抗。

图4显示的是升压转换器中的连续电流回路与脉冲电流回路。此时，应在靠近MOSFET Q_B 与升压二极管D的输出端放置高频陶瓷电容 C_{HF} 。

图5是升压转换器中脉冲电流回路的一个布局例子。此时关键在于尽量减小由开关管 Q_B 、整流二极管D和高频输出电容 C_{HF} 形成的回路。

图6和图7(略)提供了一个同步降

压电路的例子，它强调了去耦电容的重要性。图6a是一个双相12V_{IN}、2.5V_{OUT}/30A(最大值)的同步降压电源，使用了LTC3729双相单V_{OUT}控制器IC。在无负载时，开关结点SW1和SW2的波形以及输出电感电流都是稳定的(图6b)。但如果负载电流超过13A，SW1结点的波形就开始丢失周期。负载电流更高时，问题会更恶化(图6c)。

在各个通道的输入端增加两只1μF的高频陶瓷电容，就可以解决这个问题，电容隔离开了每个通道的热回路面积，并使之最小化。即使在高达30A的最大负载电流下，开关波形仍很稳定。

高DV/DT开关区

图2和图4中，在V_{IN}(或V_{OUT})与地之间的SW电压摆幅有高的dv/dt速率。这个结点上有丰富的高频噪声分量，是一个强大的EMI噪声源。为了尽量减小开关结点与其它噪声敏感走线之间的耦合电容，你可能会让SW铜箔面积尽可能小。但是，为了传导大的电感电流，并且为功率MOSFET管提供散热区，SW结点的PCB区域又不能够太小。一般建议在开关结点下布放一个接地铜箔

区，提供额外的屏蔽。

如果设计中没有用于表面安装功率MOSFET与电感的散热器，则铜箔区必须有足够的散热面积。对于直流电压结点(如输入/输出电压与电源地)，合理的方法是让铜箔区尽可能大。

多过孔有助于进一步降低热应力。要确定高dv/dt开关结点的合适铜箔区面积，就要在尽量减小dv/dt相关噪声与提供良好的MOSFET散热能力两者间做一个设计平衡。

功率焊盘形式

注意功率元件的焊盘形式，如低ESR电容、MOSFET、二极管和电感。图8a(略)和8b(略)分别给出了不合理和合理的功率元件焊盘形式。

对于去耦电容，正负极过孔应尽量互相靠近，以减少PCB的ESL。这对低ESL电容尤其有效。小容值低ESR的电容通常较贵，不正确的焊盘形式及不良走线都会降低它们的性能，从而增加整体成本。通常情况下，合理的焊盘形式能降低PCB噪声，减小热阻，并最大限度降低走线阻抗以及大电流元件的压降。

大电流功率元件布局时有一个常见的误区，那就是不正确地采用了

热风焊盘(thermal relief)，如图8a(略)所示。非必要情况下使用热风焊盘，会增加功率元件之间的互连阻抗，从而造成较大的功率损耗，降低小ESR电容的去耦效果。如果在布局时用过孔来传导大电流，要确保它们有充足的数量，以减少阻抗。此外，不要对这些过孔使用热风焊盘。

图9(略)是有多个板上电源的应用，这些电源共享相同的输入电压轨。当这些电源互相不同步时，就需要将输入电流走线隔离开来，以避免不同电源之间耦合公共阻抗噪声。每个电源拥有一个本地的输入去耦电容倒是不太关键。

对于一只PolyPhase单输出转换器，为每个相做一个对称布局有助于热应力的均衡。

布局设计实例

图10(略)是一个设计实例，它是一个3.5V~14V，最大输出1.2V/40A的双相同步降压转换器，使用了LTC3855 PolyPhase电流模式步进降压控制器。在开始PCB布局前，一个好的习惯是在逻辑图上用不同颜色特别标示出大电流走线、高噪声的高dv/dt走线，以及敏感的小信号走线。这种图将有助于PCB设计者区分开各种走线。

图11(略)是这个1.2V/40A电源的功率元件层上的功率级布局例子。图中，Q_T是高侧控制MOSFET，Q_B是低侧同步FET。可选择增加Q_B的接地面积，以获得更多的输出电流。在功率元件层的下方，放了一个实心的电源地层。

控制电路布局

使控制电路远离高噪声的开关铜箔区。对降压转换器，好的办法是将控制电路置于靠近V_{OUT}⁺端，而对升压转换器，控制电路则要靠近V_{IN}⁺

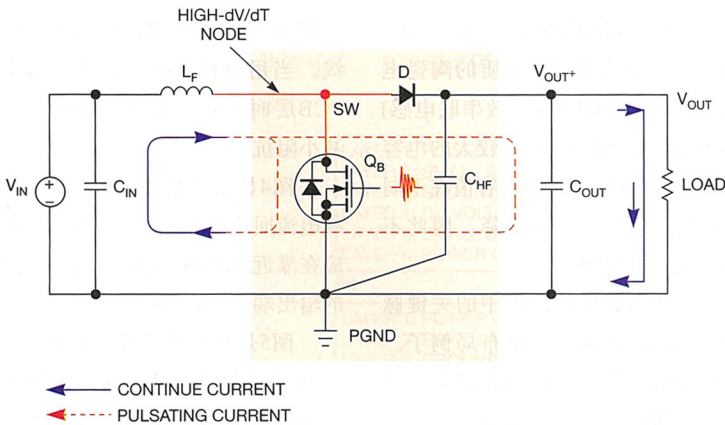


图4，本图显示升压转换器中的连续电流路径与脉冲电流路径。高频陶瓷电容C_{HF}应置于靠近MOSFET Q_B、升压二极管D的输出端。

图5，本图显示的是升压转换器中的热回路与寄生PCB电感(a)；为减少热回路面积而建议采用的布局(b)。

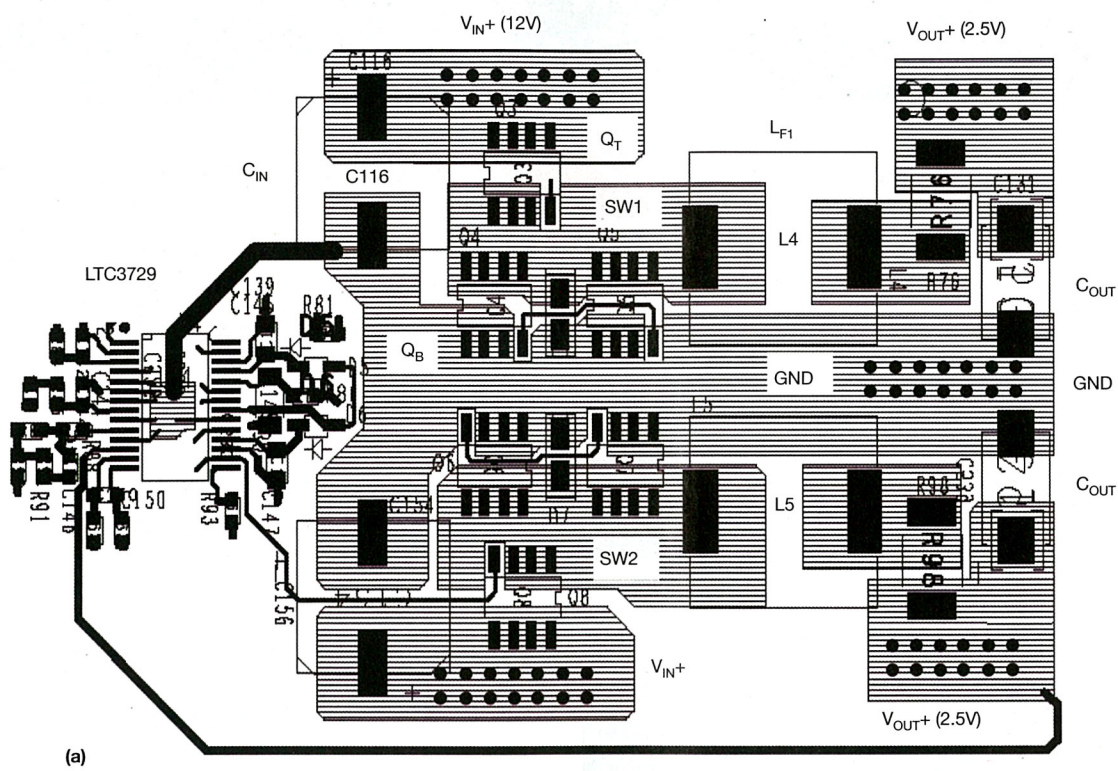
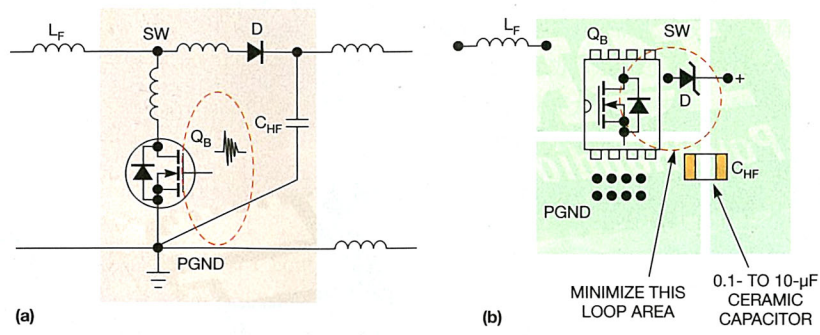
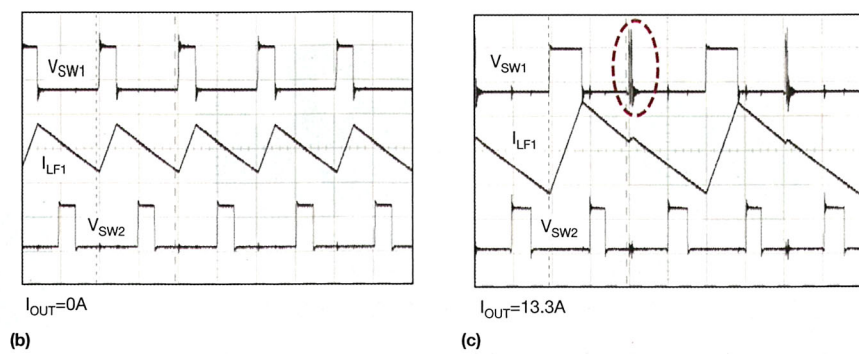


图6，这个双相2.5V/30A输出的降压转换器(a)有一个噪声问题：无负载时，开关波形是稳定的(b)，但当负载电流超过13A时，SW1波形会丢失周期(c)。



端,让功率走线承载连续电流。

如果空间允许,控制IC与功率MOSFET及电感(它们都是高噪声高热量元件)之间要有小的距离(0.5英寸~1英寸)。如果空间紧张,被迫将控制器置于靠近功率MOSFET与电感的位置,则要特别注意用地层或接地走线,将控制电路与功率元件隔离开来。

图12(略)是LTC3855电源的较好的隔离地方案,IC有外露的GND焊盘,应焊到PCB上,以尽量减少电气阻抗与热阻。几只关键去耦电容应紧挨着IC引脚。

控制电路应有一个不同于功率级地的独立信号(模拟)地。如果控制器IC上有独立的SGND(信号地)和PGND(功率地)引脚,则应分别布线。对于集成了MOSFET驱动器的控制IC,小信号部分的IC引脚应使用SGND。

信号地与功率地之间只需要一个连接点。合理方法是使信号地返回到功率地层的一个干净点。只在控制器IC下连接两种接地走线,就可以实现两种地。图12(略)给出了建议的LTC3855电源接地隔离法。在本例中,IC有一个外露的接地焊盘。此焊盘应焊到PCB上,以尽量减少电气阻抗与热阻。应在接地焊盘区放置多个过孔。

控制IC的去耦电容应靠近各自的引脚。为尽量减少连接阻抗,好的方法是将去耦电容直接接到引脚上,而不通过过孔。如图12(略)所示,应靠近置放去耦电容的LTC3855引脚是电流检测引脚Sense⁺/Sense⁻,补偿引脚I_{TH},信号地SGND,反馈分压器脚FB,IC V_{CC}电压引脚IN-TV_{CC},以及功率地引脚PGND。

回路面积与串扰

两个或多个邻近导体可以产生

容性耦合。一个导体上的高dv/dt会通过寄生电容,在另一个导体上耦合出电流。为减少功率级对控制电路的耦合噪声,高噪声的开关走线要远离敏感的小信号走线。如果可能的话,要将高噪声走线与敏感走线布放在不同的层,并用内部地层作为噪声屏蔽。

空间允许的话,控制IC要距离功率MOSFET和电感有一个小的距离(0.5英寸~1英寸),后者既有大噪声又发热。

LTC3855控制器上的FET驱动器TG、BG、SW和BOOST引脚都有高的dv/dt开关电压。连接到最敏感小信号结点的LTC3855引脚是:Sense⁺/Sense⁻、FB、I_{TH}和SGND。如果布局时将敏感的信号走线靠近了高dv/dt结点,则必须在信号走线和高dv/dt走线之间插入接地线或接地层,以屏蔽噪声。

在布放栅极驱动信号时,采用短而宽的走线有助于尽量减小栅极驱动路径中的阻抗。在图13(略)中,布放的高FET驱动器走线TG与SW应有最小的回路面积,以尽量减小电感与高dv/dt噪声。同样,低FET驱动器走线BG要靠近一根PGND走线。

如果在BG走线下布放了一个PGND层,低FET的交流地返回电流将自动耦合到一个靠近BG走线的路径中。交流电流会流向它所发现的最小回路/阻抗。此时,低栅极驱动器不需要一个独立的PGND返回走线。最好的办法是尽量减少栅极驱动走线通过的层数量,这样可防止栅极噪声传播到其它层。

在所有小信号走线中,电流检测走线对噪声最为敏感。电流检测信号的波幅通常小于100mV,这与噪声的波幅相当。以LTC3855为例, Sense⁺/Sense⁻走线应以最小间距并行布放(Kelvin检测),以尽量减少拾取di/dt

相关噪声的机会,如图14(略)所示。

另外,电流检测走线的滤波电阻与电容都应尽可能靠近IC引脚。当有噪声注入长的检测线时,这种结构的滤波效果最好。如果采用带R/C网络的电感DCR电流检测方式,则DCR检测电阻R应靠近电感,而DCR检测电容C则应靠近IC。

如果在走线到Sense-的返回路径上使用了一个过孔,则过孔不应接触到其它的内部V_{OUT}+层。否则,过孔可能会传导大的V_{OUT}+电流,所产生的压降可能破坏电流检测信号。要避免在高噪声开关结点(TG、BG、SW和BOOST走线)附近布放电流检测走线。如可能,在电流检测走线所在层与功率级走线层之间放置地层。

如果控制器IC有差分电压远程检测引脚,则要为正、负远程检测线采用独立的走线,同时也采用Kelvin检测连接。

走线宽度的选择

对具体的控制器引脚,电流水平和噪声敏感度都是唯一的,因此,必须为不同信号选择特定的走线宽度。通常情况下,小信号网络可以窄些,采用10mil~15mil宽度的走线。大电流网络(栅极驱动、V_{CC}以及PGND)则应采用短而宽的走线。这些网络的走线建议至少为20mil宽。

布局检查表

表1可从网上下载(<http://bit.ly/Ruxanc>),它是图10(略)所示LTC3855双相电源的一个检查表实例。采用这个检查表有助于确保得到一个布局严谨的电源设计。EDN

(注:受篇幅所限,文中图7-图14未能见刊。阅读全文请登录<http://www.ednchina.com>, EDNC12月期“技术纵横”栏目。)